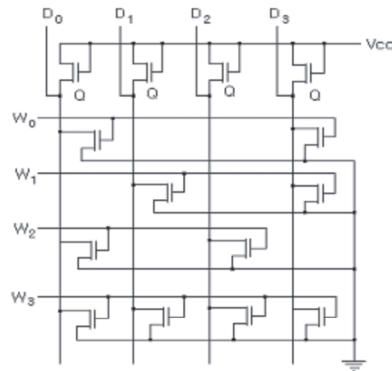


소자를 만들어 나가는 포토 마스크로 데이터까지 결정하여 제조하는 ROM이다. 따라서 대량 생산인 경우는 저렴하게 공급할 수 있으나 데이터를 변경하여 재사용하는 것은 불가능하다. 마스크 ROM의 구조는 양극성일 때, 트랜지스터의 이미터와 데이터 라인의 접속 여부로 데이터를 기입하며, MOS에서는 게이트 부분이 산화막( $SiO_2$ )의 두께를 변화시켜 MOS 소자의 유무를 결정하여 데이터를 기입한다.



[그림 9-22] 마스크 ROM의 원리

그림 9-22는 마스크 ROM의 원리이다. 워드선  $W_0$ 에서  $W_4$ 까지 행선이 있고 1워드에 1을 기억할 경우 그 비트에 대응한 세로선에 ROM두고 그렇지 않을 경우에는 MOS를 두지 않는다. 그림에서  $W_0$ 에는 1001이,  $W_1$ 는 0101이,  $W_2$ 는 1010이,  $W_3$ 에는 1111이 기억되어 있다. 어떤 워드를 읽어 내는 데는 가로선을 놓은 레벨로 하면 된다. Q는 저항대신 사용한 부하저항이다.

## (2) PROM

PROM은 제조 공정에서 퓨즈나 다이오드, 트랜지스터를 스위칭 소자로 사용하여 전체가 모두 연결되어 있는 형태로 만들어진 ROM이다. 사용자는 PROM 프로그래머 등의 장비를 이용하여 이 스위칭 소자를 파괴하여 데이터를 기입한다. 스위칭 소자를 파괴하는 방법은 일정 시간 동안 특정의 높은 전압(보통 10V에서 25V 범위)을 인가하여 파괴한다. 그러나 스위칭 소자가 파괴되어 데이터의 변경 등은 불가능한 ROM이다. 그림 9-23은 퓨즈 ROM의 구조이다.

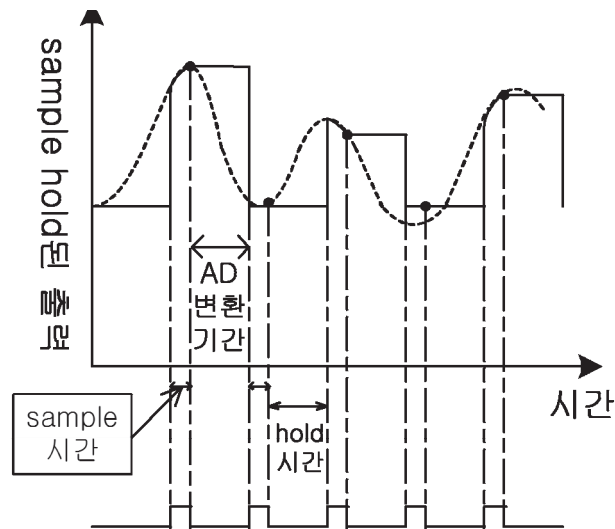
### (1) sample 동작

그림 그림 11-4 (a)에서 스위치가 위쪽으로 ON 된 기간이 sample 시간이고, 아날로그 전압을 출력에 전달하는 동작이다. 통상은 이 기간에 condenser를 충전하며 입력 전압값을 동시에 기억하도록 하고 있다.

### (2) hold 동작

그림 (a)의 스위치가 아래쪽으로 ON 된 기간이며 아날로그 입력은 차단되고, condenser에 기억된 아날로그 전압을 일정하게 유지하는 동작이다.

구체적으로는 그림 그림 11-4 (b)와 같이 MOS FET 등의 gate에 제어신호를 인가 하므로서 FET를 스위치 동작 시키고 있다. 이 상태를 나타낸 것이 그림 11-5이다.

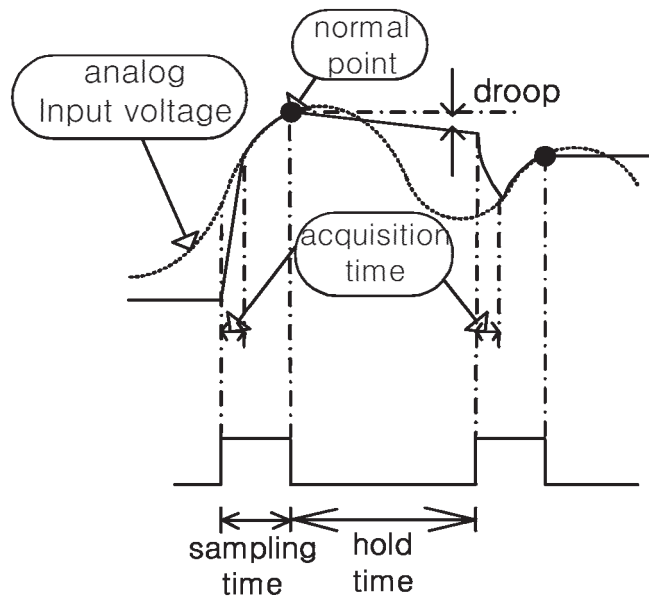


[그림 11-5] sample and hold 회로의 출력파형

그림에서 점선 파형이 아날로그 입력파형이다. 이 전압이 sample and hold 회로에 인가되면 실선 파형과 같이 된다. 즉, sample 기간에 아날로그 전압값을 표본화하고, hold 기간은 이 값을 일정하게 유지시키고 있는 것을 알 수 있다. 이 hold 기간 중에 A/D 변환기가 동작하여 A/D 변환이 수행되는 것이다.

그런데 이 sample and hold 회로의 출력파형을 좀더 상세하게 나타낸 것이 그림 11-6이다. 우선, 제어신호에 의해 sample 전압이 인가되어졌을 때 출력전압이 즉시 아날로그 입력전압에 추종하지 않고 조금 지연된 후에 입력전압을 따르는 것이다. 이 지연시간을 취득시간이라 한다. 이 원인은 hold 용 condenser C를 충전하기 위해서 걸리기 때문이며 FET를 포함한 입력저항과 condenser C의 시정수로 결정된다.

따라서 제어신호의 sample 기간은 회로의 취득시간보다도 길게 해야 되는 것은 당연하다. 또 hold 시간은 A/D 변환기의 변환에 필요한 시간보다도 길게 하여야 한다. 다음에 제어신호가 hold 기간에 있을 때 출력전압은 표본점의 전압값을 유지하고 있어야 하지만 실제로는 그림과 같이 서서히 감소해 가는 특성을 갖는다. 이것을 droop이라 한다. 이 원인인 hold condenser 전하가 OP 앰프의 bias 전류나 FET의 누설에 의해 방전되어 단자 전압이 낮아지기 때문이다. 이 droop은 직접 A/D변환기의 변환오차가 되므로 오차이내에 제어할 필요가 있다.



[그림 11-6] 실제의 sample and hold 출력파형

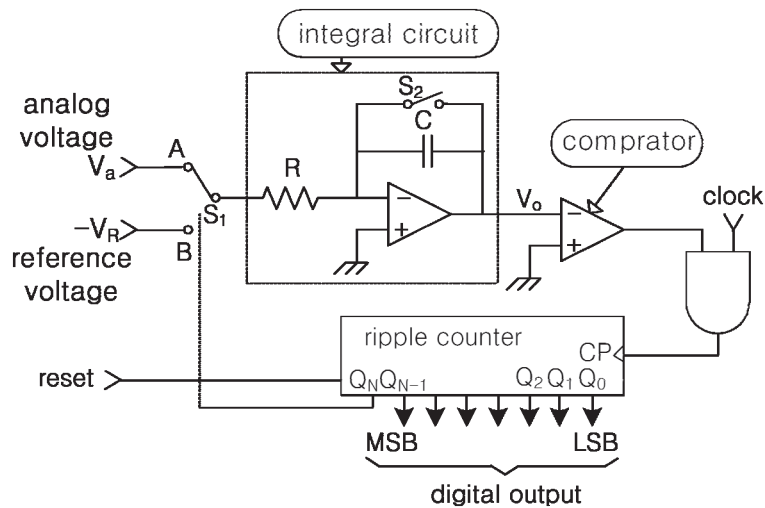
## 2. 카운터 ramp형 A/D 변환기

가장 간단한 원리의 A/D 변환기가 카운터 ramp형 A/D변환기이며, 3비트인 경우의 구성을 그림 11-7에 나타냈다.

8진 카운터는 클럭 입력마다 count up 하지만 그 입력 펄스는 AND 게이트에 의해 제어되도록 되어 있다. 8진 카운터의 디지털 출력은 3비트 D/A 변환기에 의하여 아날로그 전압  $V_{out}$ 으로 변환되며, offset 전압( $(1/2)LSB$ )를 가산한 후 비교기의 반전 입력단자에 인가되고 있다. 이 전압  $V_o$ 와 sample and hold 된 아날로그 입력전압  $V_0$ 가 OP앰프의 비교기에서 비교된다. 따라서  $V_a > V_0$ 이면 비교기의 논리출력은 1,  $V_a < V_0$ 이면 논리출력은 0으로 된다.

### 3. 2중 적분형 A/D 변환기

이 형태의 A/D 변환기는 디지털 전압계 등에 응용되는 저속용의 것으로서 그 구성도를 그림 11-9에, 동작파형을 그림 11-10에 나타냈다.

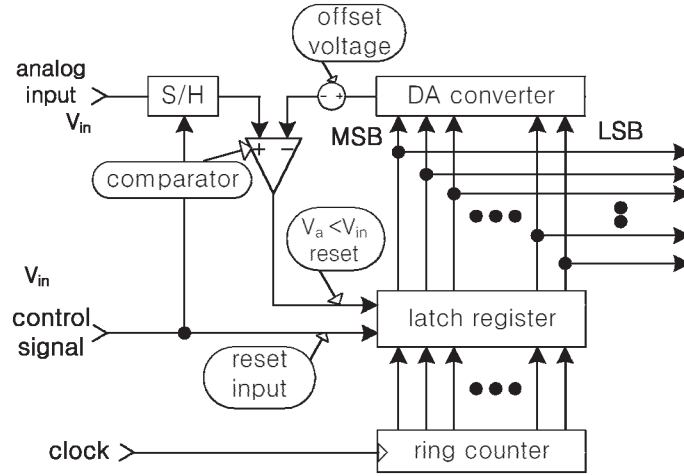


[그림 11-9] 2중 적분형 A/D 변환기

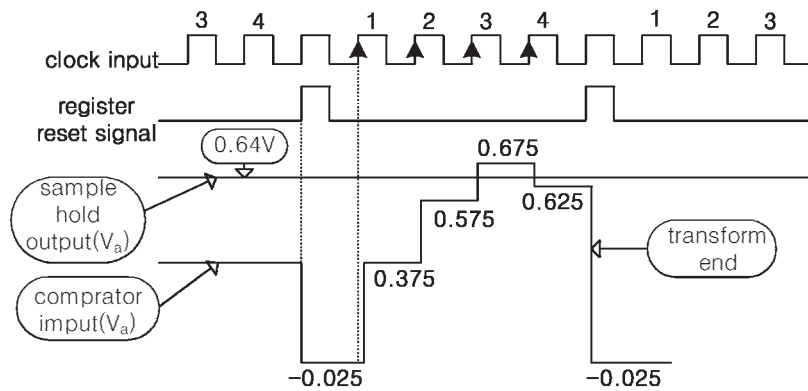
입력전압  $V_a$ 와 기준전압  $V_R$  두 개의 전압이 각각 적분되므로 이것을 2중 적분형이라 한다. 이 회로는 적분회로, 비교기, 카운터 회로, 스위치 등으로 구성되어 있고 카운터 회로의 출력이 디지털 출력으로 된다. 지금 이 A/D 변환기는时时刻刻 변화하는 아날로그 전압에 따라 A/D 변환하는데 수 10~수 100ms라는 매우 긴 시간을 요구한다.

그러면 이 회로의 동작을 살펴보자.

처음에 적분회로의 스위치  $S_2$ 는 ON으로 되어 있어 적분 condenser C의 전하는 방전되며, 또 카운터는 리셋 되어 있는 상태에서 시작하자. 이 상태를 리셋 기간이라 한다.



[그림 11-11] 축차비교형 A/D 변환기



[그림 11-12] 4비트 축차비교형 A/D 변환기 동작

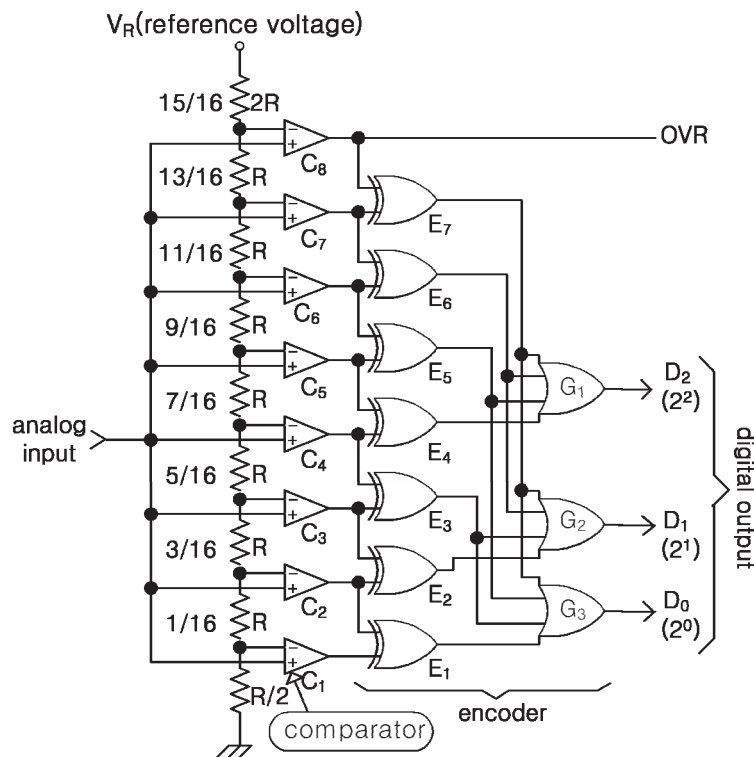
- ① 처음에 리세트 신호에 의해 latch 레지스터를 클리어 한다. 따라서 D/A 변환 기의 아날로그 출력도 0V로 된다. 그러나 offset 전압으로서 (1/2)LSB 만큼 빼므로 비교기의 역상 입력전압  $V_0$ 는  $-0.025V$ 로 되어 있는 것에 주의하라.
- ② 다음에 클럭 입력 1에서 ring 카운터의 MSB를 1로 세트한다. 이것은 바로 latch 레지스터의 MSB( $Q_D$ )DP 입력되어 D/A 변환기 입력은 1000으로 즉, D/A 변환기 출력은  $0.4V$ 로 되지만 (1/2)LSB인  $0.025V$ 를 빼므로 비교기 입력은  $0.375V$ 로 된다.
- ③ 여기서 아날로그 입력  $V_a = 0.64V$ 와  $V_0 = 0.375V$ 가 비교되어  $V_a > V_0$ 의 판정 결과로부터 latch 레지스터의  $Q_D$ 는 1로 세트된 대로 둔다.
- ④ 다음의 클럭 입력 2에서 ring 카운터의 1을 쉬프트 right 한다. 이것이 latch 레지스터의 비트  $Q_C$ 에 들어오므로 latch 레지스터의 출력은  $Q_D Q_C Q_B Q_A$ 으로 된다. 이것이 다시 D/A 변

## Q 예제 11-4

클럭 주파수가 1MHz인 12비트 축차형 A/D 변환기의 변환시간  $t_c$ 를 구하라. 또 카운터 ramp형의  $t_c$ 와 비교하라.

**풀이** 축차비교형에서는  $nT_c$ 의 변환시간이면 족하기 때문에  $nT_c = 12 \times 1\mu s = 12\mu s$ 로 된다. 이와 관련하여 카운터 ramp형에서는  $2^n T_c = 2^{12} \times 1\mu s = 4,096ms$ 로 된다.

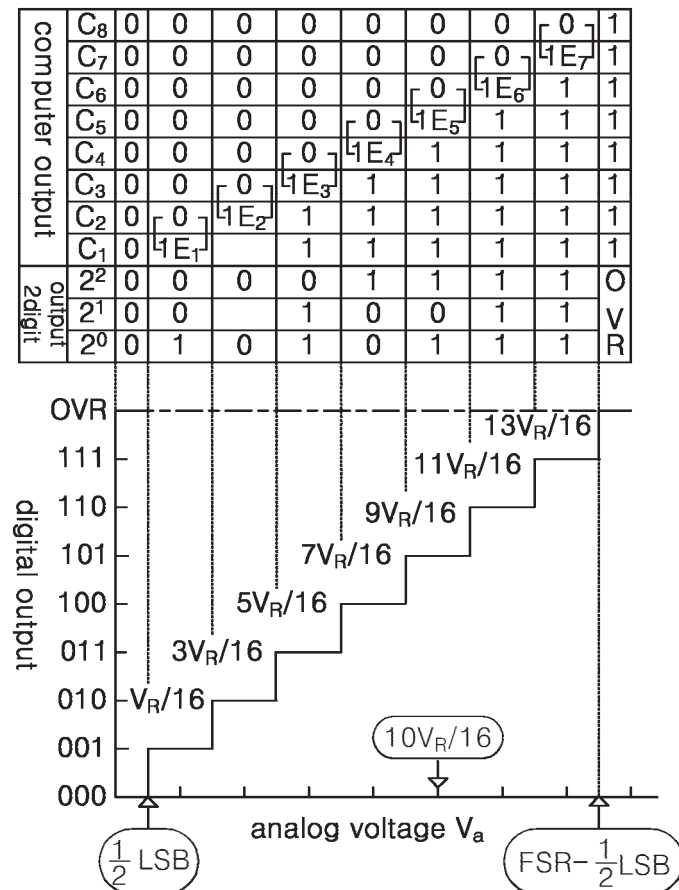
## 5. 병렬 비교형 A/D 변환기



[그림 11-13] 3비트 병렬비교형 A/D변환기

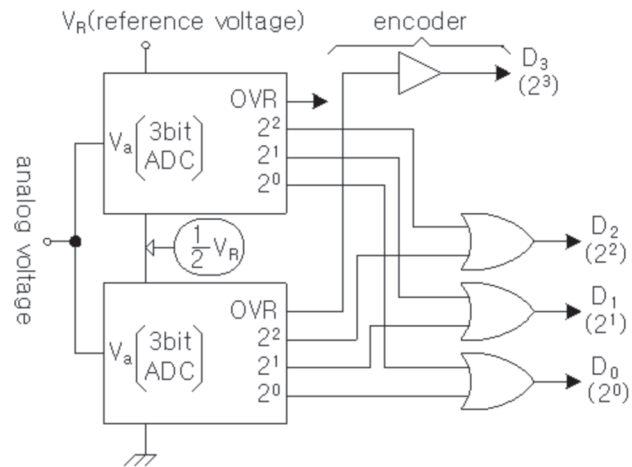
축차비교형 A/D 변환기에서는  $nT_c$ 의 변환시간이 필요하고, 최고 400ns 정도의 변환시간이 요구된다. 한편 영상신호의 디지털 처리나 고속 아날로그 전압과형인 디지털 기억장치를 만들려면

수 ns~수 10 ns의 고속변환이 필요하게 된다. 그래서 고안된 것이 병렬비교형 A/D 변환기이다. 병렬비교형의 동작원리는 그림 11-13에 나타낸 것과 같이 n비트의 예에서는  $(2^n+1)$ 개의 저항을 분할된 기준전압과 입력 아날로그 전압을  $2^n$ 개의 비교기로 비교하여 입력전압에 가장 가까운 비교전압을 찾아내어 이것을 인코더에 인가하여 디지털 출력으로 변환하는 것이다. 그림 11-13에서 3비트이므로 9개의 저항과 8개의 비교기가 필요하다.



[그림 11-14] 3비트 병렬비교형 ADC의 동작

병렬비교형 A/D 변환기는 fresh 변환기라 하며 그 특징은 변환의 고속성에 있다. 변환 시간은 비교기와 인코더 회로의 전파 지연시간으로 결정된다. 현재 6비트에서 10ns, 8비트에서 35ns, 9비트 45ns인 변환시간의 변환기가 있다. 변환 rate가 100MHz(변환시간 10ns의 역수)인 변환기에서는 sampling정리에 의하면 최고 50MHz의 입력이 A/D 변환 가능한 셈이지만 실제로는 이것보다 작다.



[그림 11-15] 4비트 병렬비교형 A/D 변환기